

(19)



JAPANESE PATENT OFFICE

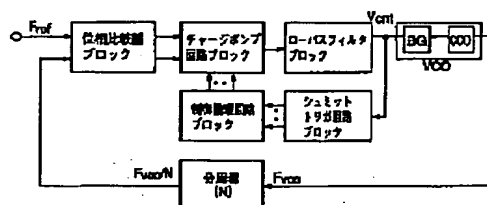
PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10336021 A**(43) Date of publication of application: **18.12.98**(51) Int. Cl. **H03L 7/08**(21) Application number: **09140289**(22) Date of filing: **29.05.97**(71) Applicant: **NEC CORP**(72) Inventor: **EUGENE O SULLIVAN**(54) **PHASE LOCKED LOOP CIRCUIT UTILIZING SCHMITT TRIGGER CIRCUIT**

(57) Abstract

PROBLEM TO BE SOLVED: To attain a very small steady-state phase error with the input of a phase comparator block within a PLL lock voltage range.

SOLUTION: Each Schmitt trigger circuit in a Schmitt trigger circuit block has a hysteresis quantity which varies depending not only upon the temperature and voltage factor of the input voltage, but also upon the damping coefficient $Z(\zeta)$ of a PLL. The center points of the positive and negative thresholds of the hysteresis curve of each Schmitt trigger circuit are set by the current-voltage characteristic of a charge pump circuit in a charge pump circuit block. The Schmitt trigger circuit block instructs a control logic circuit to turn on or off a PMOS pump UP transistor and NMOS pump DOWN transistor in the charge pump block so as to control the aspect ratio of the PMOS pump UP transistor against that of the NMOS pump DOWN transistor.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-336021

(43) 公開日 平成10年(1998)12月18日

(51) IntCl.⁶

H 0 3 L 7/08

識別記号

F I

H 0 3 L 7/08

K

審査請求 有 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願平9-140289

(22) 出願日 平成9年(1997)5月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 ユージン オサリバン

東京都港区芝五丁目7番1号 日本電気株式会社内

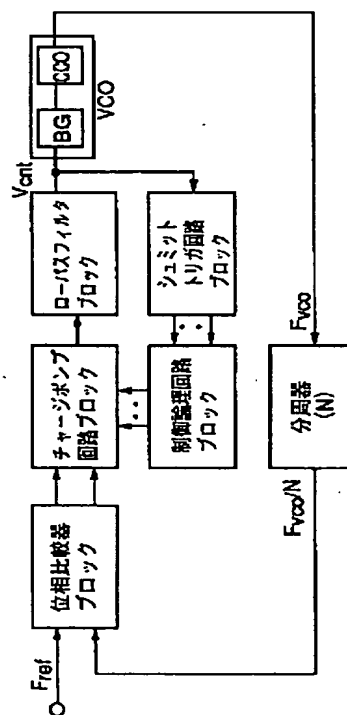
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 シュミットトリガ回路を利用した位相同期ループ回路

(57) 【要約】

【課題】 PLLロック電圧範囲で位相比較器ブロックの入力で非常に小さい定常状態位相誤差を達成すること。

【解決手段】 シュミットトリガ回路ブロックの各シュミットトリガ回路は、VCO入力電圧の温度および電圧係数ばかりでなくPLLの減衰定数に依存するヒステリシス量を持つ。各シュミットトリガ回路のヒステリシス曲線の正および負のしきい値の中心点は、チャージポンプ回路ブロックにおけるチャージポンプ回路の電流電圧特性によってセットされる。シュミットトリガ回路ブロックは、制御論理回路に対して、チャージポンプ回路ブロック内のPMOSポンプUPトランジスタおよびNMOSポンプDOWNトランジスタをオンまたはオフさせるを命じ、それによってPMOSポンプUPトランジスタのアスペクト比をNMOSポンプDOWNトランジスタのそれに対して制御する。



【特許請求の範囲】

【請求項1】 シュミットトリガ回路を利用して非常に小さい定常状態位相誤差を達成する位相同期ループ回路（PLL回路）において、
 少なくとも1つの位相比較器から成る位相比較器ブロックであって、前記位相比較器の各々は入力基準信号と帰還信号との間の位相差信号を検出するためのものである、前記位相比較器ブロックと、
 前記位相比較器ブロックの出力信号に応じて充電又は放電を行うチャージポンプ回路ブロックと、
 該チャージポンプ回路ブロックの出力電圧に結合されたローパスフィルタブロックと、
 複数のシュミットトリガ回路からなるシュミットトリガ回路ブロックであって、各シュミットトリガ回路のヒステリシスの量はVCO入力電圧の温度および電圧係数ばかりでなくPLL回路の減衰定数に依存し、ヒステリシス曲線の中心点はチャージポンプ回路ブロックの電流電圧特性によってセットされ、シュミットトリガ回路ブロックの出力はVCO入力電圧に応じて変化する、前記シュミットトリガ回路ブロックと、
 シュミットトリガ回路ブロックとチャージポンプ回路ブロックとの間に置かれる制御論理回路ブロックであって、その出力信号はシュミットトリガ回路ブロックの出力信号に応じて変化して、前記チャージポンプ回路ブロックを構成するトランジスタをオンまたはオフすることを命じる、前記制御論理回路ブロックと、
 前記ローパスフィルタブロックの出力によって決定される周波数を持つ一組の信号を発生するための電圧制御発振器（VCO）であって、バイアス発生器（BG）と電流制御発振器（CCO）とから成る前記電圧制御発振器と、
 VCOの出力を分周比Nによって分周する分周器であって、その出力は前記位相比較器ブロックに前記帰還信号として供給される、前記分周器と、を備えた位相同期ループ回路。

【請求項2】 前記位相比較器ブロックは単一の位相比較器から成り、該単一の位相比較器は第1の入力、第2の入力、第1の出力、および第2の出力を持ち、
 前記チャージポンプ回路ブロックは、第1のチャージポンプ回路と第2のチャージポンプ回路から成り、
 前記第1のチャージポンプ回路は、
 ゲート電圧が論理“高”レベルから論理“低”レベルになるときに前記ローパスフィルタを充電するPMOSポンプUPトランジスタであって、そのソースはVDD電源に接続され、そのドレインは前記ローパスフィルタブロックの入力に接続された、前記PMOSポンプUPトランジスタと、
 ゲート電圧が論理“低”レベルから論理“高”レベルになるときに前記ローパスフィルタを放電するNMOSポンプDOWNトランジスタであって、そのソースはGN

Dに接続され、そのドレインは前記ローパスフィルタブロックの入力に接続された、前記NMOSポンプDOWNトランジスタと、

前記位相比較器の第1の出力から前記PMOSポンプUPトランジスタのゲートへ信号をバッファするバッファインバータと、

前記位相比較器の第1の出力から前記NMOSポンプDOWNトランジスタのゲートへ信号を反転して駆動するインバータとから成り、

- 10 前記第2のチャージポンプ回路は、
 ゲート電圧が論理“高”レベルから論理“低”レベルになるときに前記ローパスフィルタブロックを充電するPMOSポンプUPトランジスタであって、そのソースは前記VDD電源に接続され、そのドレインは前記ローパスフィルタブロックの入力に接続された、前記PMOSポンプUPトランジスタと、
 ゲート電圧が論理“低”レベルから論理“高”レベルになるときに前記ローパスフィルタブロックを放電するNMOSポンプDOWNトランジスタであって、そのソースはGNDに接続され、そのドレインは前記ローパスフィルタブロックの入力に接続された、前記NMOSポンプDOWNトランジスタとから成り、
 前記シュミットトリガ回路ブロックは第1のシュミットトリガ回路と第2のシュミットトリガ回路から成り、
 前記第1のシュミットトリガ回路は、 V_{ref1+} で正しい値を V_{ref1-} で負しきい値を持ち、 $(V_{ref1+} - V_{ref1-})$ はVCO入力電圧の温度および電圧特性ばかりでなくPLL回路の減衰定数に依存し、 $V_{ref1} = (V_{ref1+} + V_{ref1-}) / 2$ は第1のチャージポンプ回路におけるトランジスタの電流電圧特性によって決定され、 V_{ref1} はVDDよりもGNDに近く、
 前記第2のシュミットトリガ回路は、 V_{ref2+} で正しい値を V_{ref2-} で負しきい値を持ち、 $(V_{ref2+} - V_{ref2-})$ はVCO入力電圧の温度および電圧特性ばかりでなくPLL回路の減衰定数に依存し、 $V_{ref2} = (V_{ref2+} + V_{ref2-}) / 2$ は第1のチャージポンプ回路におけるトランジスタの電流電圧特性によって決定され、 V_{ref2} はGNDよりもVDDに近く、
 前記制御論理回路は2入力NANDゲートと2入力ANDゲートから成り、前記ANDゲートの第1の入力は前記第2のシュミットトリガ回路の出力に接続され、前記NANDゲートの第2の入力は前記位相比較器の第1の出力の反転信号に接続され、前記ANDゲートの第1の入力は前記第1のシュミットトリガ回路の出力に接続され、前記ANDゲートの第2の入力は前記位相比較器の第2の出力の反転信号に接続され、前記NANDゲートの出力は前記第2のチャージポンプ回路内のPMOSポンプUPトランジスタのゲートに接続され、前記ANDゲートの出力は前記第2のチャージポンプ回路内のNMOSポンプDOWNトランジスタのゲートに接続されて

いる請求項1に記載の位相同期ループ回路。

【請求項3】 前記ポンプトランジスタ（NMOSおよびPMOS）とそれらの各々の電源（それぞれGNDおよびVDD）との間に電流源をさらに有する、請求項1に記載の位相同期ループ回路。

【請求項4】 前記チャージポンプ回路は、スイッチバンクと全振れバッファインバータとをさらに有し、前記スイッチのゲートは前記制御論理回路の出力によって制御され、前記スイッチは、ある時間でPMOSポンプUPトランジスタとNMOSポンプDOWNトランジスタのどれをオンするかを制御し、前記全振れバッファインバータは前記スイッチとPMOSポンプUPトランジスタおよびNMOSポンプDOWNトランジスタの両方のゲートとの間に置かれて、それらトランジスタが全VDD論理振れをするのを保証し、前記制御論理回路は第1の入力、第2の入力、第1の出力、第2の出力、第3の出力、第4の出力を持ち、該制御論理回路は第1のインバータと第2のインバータとから成り、前記第1のインバータは前記第1のシュミットトリガ回路の出力と前記制御論理回路の第1の出力とに接続され、前記第2のインバータの入力は前記第2のシュミットトリガ回路の出力と前記制御論理回路の第3の出力とに接続され、前記第1のインバータの出力は前記制御論理回路の第2の入力に接続され、前記第2のインバータの出力は前記制御論理回路の第4の出力に接続されている請求項2に記載の位相同期ループ回路。

【請求項5】 前記ポンプトランジスタ（NMOSおよびPMOS）とそれら各電源（それぞれGNDおよびVDD）との間に電流源をさらに有する請求項4に記載の位相同期ループ回路。

【請求項6】 前記VCOと前記位相比較器との間の前記分周器を取り除き、前記VCOの出力は、直接、前記位相比較器ブロックの前記帰還信号に接続されている、請求項1～5のいずれか1つに記載の位相同期ループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、VCO入力制御電圧にตอบสนองしてチャージポンプ回路内のポンプUPトランジスタのアスペクト比およびポンプDOWNトランジスタのアスペクト比を調整するシュミットトリガ回路を利用して、位相比較器ブロックの入力で非常に小さい定常状態位相誤差を達成する位相同期ループ回路に関する。

【0002】

【従来の技術】 位相同期ループ回路はデータ伝送システムにおいて非常に重要な基本的要素である。それらは多くの異なった応用に使用され、例えば、通信チップ間のスキューを除去したり、ランダム入力データからクロック信号を再生したり、或いは図9に示すように低周波信号を高周波信号に逡倍するために使用される。参照番号

1は位相比較器ブロックを示し、2はチャージポンプ回路ブロックを示し、3はローパスフィルタ（LPF）ブロックを示し、4は電圧制御発振器（VCO）を示し、5は分周器を示し、6は基準入力端子を示し、7はタイミング（クロック信号）出力端子を示す。

【0003】 図10は図9に示された回路の重要なノードの動作波形を図示する。位相比較器ブロック1は基準入力データ6Aと分周器出力データ5Aとを比較する。図10において、簡単化するために、それら位相比較は、信号6Aと5Aの立上がり縁でのみ行われるとする。2つの信号間の位相差は位相比較器1の出力1Aと1Bを決定する。分周器出力5Aの位相が基準入力信号6Aの位相より進んでいるとき、位相比較器1は出力1Bで負パルスのパル列を発生する。これらパルスの幅は6Aと5A間の位相差に等しい（図10の（a）参照）。逆に、帰還信号5Aの位相が基準入力信号6Aのそれよりも遅れているとき、位相比較器1は出力1Aで負パルスのパル列を生成する。これらパルスの幅は6Aと5A間の位相差に等しい（図10の（b）参照）。信号6Aと5A間に位相差がないとき、パルス出力は出力1Aまたは1Bのいずれかで生成されない。この場合を図10の（c）に現している。位相比較された出力（1A、1B）は、その後、チャージポンプ回路ブロック2に供給される。入力信号1Aおよび1Bに依存して、チャージポンプ回路2はローパスフィルタブロック3の入力ノード2Aを充電或いは放電するように働く。信号1Aが

“低”で1Bが“高”のとき、ローパスフィルタブロック3は充電される。逆に、信号1Aが“高”で1Bが“低”のとき、ローパスフィルタブロック3は放電される。両方の信号1Aおよび1Bとも“高”のとき、チャージポンプ回路ブロック2は不能となり、ローパスフィルタブロックは充電も放電もされない。この場合、ローパスフィルタブロックはチャージポンプ回路ブロックおよび位相比較器ブロックから隔離される。したがって、図11に示されたチャージポンプ回路は、根本的にはトライステート（放電、充電または開放）スイッチである。チャージポンプ回路ブロック2の出力2Aはローパスフィルタブロック3によってDC（直流）電圧3Aに変換される。ローパスフィルタブロック3はPLLすなわち固有周波数 ω_n と減衰定数 ζ の応答特性を決定する。

VCO4は電圧制御入力3Aと出力クロック信号4A（ F_{vco} ）を持つ。VCO4はバイアス発生器と電流制御発振器とから成る。VCO出力信号4Aは可変制御電圧信号3Aにตอบสนองして約 $N \times F_{ref}$ （Nは整数）の範囲で変化する。クロック信号4Aはそれから分周器5によって分周され、帰還信号5A（ $F_{fbk} = F_{vco} / N$ ）となる。PLL回路の負帰還動作は信号6Aと5A間の位相差を最小、いわゆる「位相同期状態」ににする。

【0004】 従来のチャージポンプ回路は図11に示される。それはPMOSポンプUPトランジスタMPとN

MOSポンプDOWNトランジスタMNとから成る。MPとMNのソースはそれぞれVDDとGNDに接続されている。両トランジスタのドレインは共に接続されて、チャージポンプ回路出力信号 V_{cp} を生成する。インバータINV1は信号DNに必要な反転を与えて信号DNBARを生成し、それはトランジスタMNのゲートを駆動する。インバータINV2およびINV3は信号UPを緩衝して信号UP'を生成し、それはトランジスタMPのゲートを駆動する。位相比較器からのUPおよびDN信号がそれぞれ“低”および“高”のとき、トランジスタMPはオンして、ポンプUP電流 $+I_{pu}$ をノード V_{cp} へ送出する。同様に、位相比較器からのUPおよびDN信号がそれぞれ“高”および“低”のとき、トランジスタMNはオンして、ポンプDOWN電流 $-I_{pd}$ をノード V_{cp} へ送出する。

【0005】

【発明が解決しようとする課題】理想的な位相同期状態において、図9における信号6Aと5Aとの間に位相差はない。従って、両信号UPおよびDNは“高”のまま、位相比較器ブロック1からローパスフィルタブロック3を隔離する。しかしながら、実際には、有限PLLループゲインのために、信号6Aと5A間には常に位相差が存在する。この間違った位相差 $\Delta\Phi$ はチャージポンプ回路ブロック2に対して調整的なポンプUPまたはポンプDOWN信号を生成させる。これがこの場合の間、トランジスタMPを流れる平均ポンプアップ電流 I_{pu} はトランジスタMNを流れる平均ポンプダウン電流 I_{pd} に等しい。この条件を満足するために、トランジスタMPおよびMNは $V_{cp}=VDD/2$ に比例的に比例される。

【0006】図12は電流 I_{pu} および I_{pd} がPLLロック電圧 V_{cp} の関数としてどのように変化するかを示している。 $V_{cp}=VDD/2$ に対する $I_{pu}=I_{pd}$ の間、PLLロック電圧 V_{cp} がVDD或いはGNDの方へ動くとき I_{pu} と I_{pd} 間の不一致が大きくなる。電流の不一致が大きくなればなるほど、位相同期で $I_{pu}=I_{pd}$ の条件を満足させるために位相比較器の入力で必要な位相誤差オフセット（すなわちそれは定常状態位相誤差と呼ばれる）が大きくなる。ロック電圧 V_{cp} の範囲は、製造時のチップのプロセス条件およびVCO設計に依存する。従来のNMOS入力VCOは比較的制限されたロック電圧範囲を持つのにに対して、最近提案された相補型VCO（両NMOS入力とPMOS入力）は非常に広いロック電圧範囲を持つ。従って、VCOのこれら型に使用される従来のチャージポンプ回路はいつそう大きな定常状態位相誤差を生成するだろう。

【0007】大きな定常状態位相誤差は、例えば、クロック再生回路における誤りビット率を増大し、又は2つの通信チップ（チップ1はプロセス条件1で製造され、チップ2はプロセス条件2で製造される）間のスキュー

を増大する。さらに、ほとんどのロック検出器はロック状態を検出ために位相差を使用するので、この定常状態位相誤差は間違ったロック検出を起こす。

【0008】従って要約すると、PLLロック電圧の全ての値に対して非常に小さい定常状態位相誤差を達成する位相同期ループ回路を必要とする。

【0009】

【課題を解決するための手段】従って、本発明の目的は、全体のPLLロック電圧範囲で非常に小さい定常状態位相誤差を達成するシュミットトリガ回路ブロックを利用する位相同期ループ回路を提供することであり、位相同期ループ回路は、少なくとも1つの位相比較器から成る位相比較器ブロックであって、位相比較器の各々は入力基準信号と帰還信号との間の位相差信号を検出するためのものである、位相比較器ブロックと、位相比較器ブロックからの出力信号に応じて充電又は放電を行うチャージポンプ回路ブロックと、チャージポンプ回路ブロックの出力電圧に結合されたローパスフィルタブロックと、複数のシュミットトリガ回路からなるシュミットトリガ回路ブロックであって、各シュミットトリガ回路のヒステリシスの量はVCO入力電圧の温度および電圧係数ばかりでなくPLL回路の減衰定数に依存し、ヒステリシス曲線の中心点はチャージポンプ回路ブロックの電流電圧特性によってセットされ、シュミットトリガ回路ブロックの出力はVCO入力電圧に応じて変化する、シュミットトリガ回路ブロックと、シュミットトリガ回路ブロックとチャージポンプ回路ブロックとの間に置かれる制御論理回路ブロックであって、シュミットトリガ回路ブロックからの出力信号に応じて、チャージポンプ回路ブロックを構成するトランジスタをオンまたはオフすることを命じる、制御論理回路ブロックと、ローパスフィルタブロックの出力によって決定される周波数を持つ一組の信号を発生するための電圧制御発振器（VCO）であって、バイアス発生器（BG）と電流制御発振器（CCO）から成る電圧制御発振器と、VCOの出力を分周比Nによって分周する分周器であって、その出力は位相比較器ブロックへ帰還信号として供給される、分周器と、を備える。

【0010】

【作用】本発明は位相同期ループ回路に向けられる。位相比較器は入力信号と帰還信号との間の位相差を検出する。入力信号と帰還信号との間の位相差に依存して、位相比較器はチャージポンプ回路にローパスフィルタに対して充電するか放電するかを命じる。ローパスフィルタの出力電圧はVCOの周波数とシュミットトリガ回路の出力信号の両方を制御する。シュミットトリガ回路ブロック内の各シュミットトリガ回路のヒステリシス曲線の正および負のしきい値は、チャージポンプ回路ブロック内のチャージポンプ回路の特性によってセットされる。ローパスフィルタDC（直流）出力電圧にตอบสนองして、シ

10

20

30

40

50

シュミットトリガ回路は制御論理回路ブロックに対してチャージポンプ回路内のポンプUPトランジスタおよびポンプDOWNトランジスタをオンまたはオフさせることを命じる。応用（例えば、周波数シンセサイザやクロック再生）によって、分周器はVCOと位相比較器との間の帰還経路に必要とされたり不要とされる。

【0011】

【発明の実施の形態】以下、本発明について図面を参照して詳細に説明する。

【0012】図1に示された本発明は、シュミットトリガ回路を利用する位相同期ループ回路が全体のPLLロック電圧範囲で非常に小さい定常状態位相誤差を達成できることを保証する。位相同期ループ回路は、位相比較器ブロックと、チャージポンプ回路ブロックと、ローパスフィルタブロックと、シュミットトリガ回路ブロックと、制御論理回路ブロックと、電圧制御発振器（VCO）と、分周器とを備えている。

【0013】位相比較器ブロックは、少なくとも1つの位相比較器から成る。位相比較器の各々は入力基準信号と分周器からの帰還信号との間の位相差信号を検出するためのものである。上記位相差は出力信号として生成され、それはチャージポンプ回路ブロックに供給される。

【0014】チャージポンプ回路ブロックは、位相比較器ブロックからの出力信号に応じてローパスフィルタブロックを充電又は放電する。

【0015】ローパスフィルタブロックは、チャージポンプ回路ブロックの出力電圧を電圧制御発振器（VCO）とシュミットトリガ回路ブロックに結合する。

【0016】シュミットトリガ回路ブロックは複数のシュミットトリガ回路から成る。各シュミットトリガ回路のヒステリシスの量はVCO入力電圧の温度および電圧係数ばかりでなくPLL回路の減衰定数に依存する。ヒステリシス曲線の中心点はチャージポンプ回路ブロックの電流電圧特性によってセットされる。シュミットトリガ回路ブロックの出力はVCO入力電圧に応じて変化し、制御論理回路に入力として与えられる。

【0017】制御論理回路ブロックはシュミットトリガ回路ブロックとチャージポンプ回路ブロックとの間に置かれ、その出力はシュミットトリガ回路ブロックからの出力信号にตอบสนองして変化する。チャージポンプ回路ブロックはPMOSポンプUPトランジスタおよびNMOSポンプDOWNトランジスタからなっても良く、その場合、制御論理回路ブロックの出力信号は、チャージポンプ回路ブロックに対してそれらトランジスタをオンまたはオフすることを命じる。

【0018】電圧制御発振器（VCO）はローパスフィルタブロックの出力によって決定される周波数を持つ一組の信号を発生するためのものである。それら一組の信号は分周器に供給される。電圧制御発振器はバイアス発生器（BG）と電流制御発振器（CCO）から成る。

【0019】分周器はVCOの出力を分周比Nによって分周し、その出力は位相比較器ブロックへ帰還信号として供給される。

【0020】次に、回路動作について説明する。位相同期で、チャージポンプ回路内のPMOSポンプUPトランジスタはローパスフィルタに同じポンプUP電流（ I_{pu} ）を送出し、そのNMOSポンプDOWNの片われは放電（ I_{pd} ）する。PLLロック電圧がGNDに近づくとき、NMOSポンプダウンドランジスタのドレインソース電圧（ V_{dsn} ）は減少し、そのPMOSの片われの V_{sdp} （ $= -V_{dsp}$ ）電圧は増加する。ゆえに、NMOSTランジスタが $I_{pu} = I_{pd}$ の条件を満足するため、それはそのPMOS片われよりも長い時間オンし続けなければならない。同様に、PLLロック電圧がVDに近づくとき、PMOSTランジスタはそのNMOS片われよりも長い時間オンし続けなければならない。このオン時間の差の結果、位相比較器の入力で大きい定常状態位相誤差を生じる。本発明によれば、シュミットトリガ回路が、制御論理回路に対して、PLLロック電圧にตอบสนองしてチャージポンプ回路内のトランジスタのアスペクト比を変化させることを命じる。ゆえに、位相比較器の入力での定常状態位相誤差は著しく減少される。

【0021】

【実施例】図2は位相同期ループ回路の好ましい実施例を示す。この図において、参照番号1は位相比較器ブロックを示し、2はチャージポンプ回路ブロックを示し、3はローパスフィルタブロックを示し、4は電圧制御発振器を示し、5は分周器を示し、12はシュミットトリガ回路を示し、17は制御論理回路ブロックを示す。

【0022】位相比較器ブロック1は入力6A、5Aを持ち、出力1A、1Bを持つ。基準入力信号は入力6Aに加えられる。分周したクロック信号（ F_{vco}/N ）は5Aに加えられる。位相比較器ブロック1は、6Aの位相が5Aのそれよりも進んでいるとき、ポンプUP出力1Aで信号を発生するように働く。同様に、位相比較器ブロック1は、6Aの位相が5Aのそれよりも遅れているとき、ポンプDOWN出力1Bを発生するように働く。

【0023】チャージポンプ回路ブロック2はポンプUP入力1A、ポンプDOWN入力1B、および制御入力13～16を持つ。チャージポンプ回路ブロック2は、出力信号1Aおよび1B間の位相差に依存してローパスフィルタブロック3の入力ノード2Aを充電または放電するように働く。信号2Aはローパスフィルタブロック3によってDC（直流）出力電圧3Aを生成するためにフィルタされる。後者はシュミットトリガ回路ブロック12とVCO4の両方に加えられる。

【0024】シュミットトリガ回路ブロック12は第1のシュミットトリガ回路12Aと第2のシュミットトリガ回路12Bから成る。制御入力3Aは第1のシュミッ

トリガ回路12Aの出力信号Bを決定する。後者は正および負のしきい値 V_{ref1+} と V_{ref1-} を持つ。 $V_{ref1} = (V_{ref1+} + V_{ref1-}) / 2$ はチャージポンプ回路ブロック2内のMOSトランジスタMN1およびMP1の電流電圧特性に依存する。 $(V_{ref1+} - V_{ref1-})$ は信号3Aの温度および電圧係数ばかりでなくPLLの減衰定数 ϵ に依存する。同様に、制御入力3Aは第2のシュミットトリガ回路12Bの出力信号Aを決定する。後者は正および負のしきい値 V_{ref2+} と V_{ref2-} を持つ。 $V_{ref2} = (V_{ref2+} + V_{ref2-}) / 2$ はチャージポンプ回路ブロック2内のMOSトランジスタMN1およびMP1の電流電圧特性に依存する。 $(V_{ref2+} - V_{ref2-})$ は信号3Aの温度および電圧係数ばかりでなくPLLの減衰定数 ϵ に依存する。

【0025】制御論理回路ブロック17は2つのインバータ17Aおよび17Bから成る。第1のシュミットトリガ回路12Aの出力は制御出力信号13(B)を規定し、それはインバータ17Aの入力に接続されている。第2のシュミットトリガ回路12Bの出力は制御出力信号15(A)を規定し、それはインバータ17Bの入力に接続されている。インバータ17Aおよび17Bの出力はそれぞれ制御出力信号14および16を規定する。

【0026】電圧制御入力3AはVCO4の出力信号4Aの周波数を決定する。VCO4はバイアス発生器(BG)4Aと電流制御発振器(CCO)4Bから成る。分周器5はVCO4と位相比較器ブロック1との間に置かれている。分周器5は入力4Aと出力信号5Aとを持ち、出力信号は位相比較器ブロック1に帰還信号として加えられる。

【0027】チャージポンプ回路ブロック2はバッファインバータ(8A, 8B)、インバータ9、スイッチバンク(スイッチ10A~10H)、全振れバッファインバータ(11A~11H)、およびポンプトランジスタ(MP1, MN1, MP1, MN2)から成る。バッファインバータ8Aおよび8Bは位相比較器ブロック1からの信号1Aをバッファして、スイッチ10Bおよび10Fに供給する。同様に、インバータ9は位相比較器ブロック1からの信号1Bをバッファおよび必要な反転を与えて、スイッチ10C~10Gに供給する。図2における一例のスイッチはPMOSトランジスタに並列に接続されたNMOSトランジスタから成る。ポンプトランジスタMP1, MN1, MP2, NN2のゲートがオンしたときに全VDD電圧に振れることを保証するために、全振れバッファインバータ(11A~11H)がスイッチバンクとポンプトランジスタのゲートとの間に置かれている。制御論理回路ブロック17からスイッチ10A~10Hに加えられる制御入力13~16は、任意のある時間でどのスイッチおよびゆえにどのポンプトランジスタをオンするかを決定する。

【0028】スイッチ10Aがオンで、スイッチ10B

がオフのとき、VDDに等しい電圧がポンプUPトランジスタMP1に加えられ、それによってそれをオフする。対照的に、スイッチ10Aがオフで、スイッチ10Bがオンのとき、信号1AはポンプUPトランジスタMP1のゲートにバッファされる。信号1Aが論理“高”レベルから論理“低”レベルになるとき、トランジスタMP1はオンして、ノード2AをポンプUP電流 I_{pu1} で充電する。 I_{pu1} はノード2Aでの電圧 V_{cp} の変化に対して図3にプロットされている。 I_{pu1} は $V_{cp} = |V_{dsp}| = VDD$ の場合に最大で、 $V_{cp} = |V_{dsp}| = GND$ の場合に零に等しい。

【0029】スイッチ10Cがオンで、スイッチ10Dがオフのとき、信号1Bは反転されて、ポンプDOWNトランジスタMN1のゲートにバッファされる。信号1Bが論理“高”レベルから論理“低”レベルになるとき、トランジスタNM1はオンしてノード2AをポンプDOWN電流 I_{pd1} によって放電する。 I_{pd1} はノード2Aでの電圧 V_{cp} の変化に対して図3にプロットされている。 I_{pd1} は $V_{cp} = V_{dsn} = GND$ の場合に零に等しく、 $V_{cp} = V_{dsn} = GND$ の場合に最大である。対照的に、スイッチ10Cがオフで、スイッチ10Dがオンのとき、GNDがポンプDOWNトランジスタMN1のゲートに加えられ、それによってそれをオフする。

【0030】スイッチ10Eがオンで、スイッチ10Fがオフのとき、VDDに等しい電圧がポンプUPトランジスタMP2に加えられ、それによってそれをオフする。対照的に、スイッチ10Eがオフで、スイッチ10Fがオンのとき、信号1AはポンプUPトランジスタMP2のゲートにバッファされる。信号1Aが論理“高”レベルから論理“低”レベルになるとき、トランジスタMP2はオンして、ノード2AをポンプUP電流 I_{pu2} で充電する。 I_{pu2} はノード2Aでの電圧 V_{cp} の変化に対して図3にプロットされている。 $I_{pu2} (< I_{pu1})$ は $V_{cp} = |V_{dsp}| = VDD$ の場合に最大で、 $V_{cp} = |V_{dsp}| = GND$ の場合に零に等しい。

【0031】スイッチ10Gがオンで、スイッチ10Hがオフのとき、信号1Bは反転されて、ポンプDOWNトランジスタMN2のゲートにバッファされる。信号1Bが論理“高”レベルから論理“低”レベルになるとき、トランジスタNM2はオンしてノード2AをポンプDOWN電流 I_{pd2} によって放電する。 I_{pd2} はノード2Aでの出力電圧 V_{cp} の変化に対して図3にプロットされている。 I_{pd2} は $V_{cp} = V_{dsn} = GND$ の場合に零に等しく、 $V_{cp} = V_{dsn} = GND$ の場合に最大($I_{pd2} < I_{pd1}$)である。対照的に、スイッチ10Gがオフで、スイッチ10Hがオンのとき、GNDがポンプDOWNトランジスタMN2のゲートに加えられ、それによってそれをオフする。

【0032】制御入力13~16はPLLロック電圧3A(V_{ent})にตอบสนองして変化する。 $V_{cp} < V_{ref1}$ のと

き、第1のシュミットトリガ回路の出力は“高”(B=“1”)で、第2のシュミットトリガ回路の出力は“低”(A=“0”)である。この場合において、スイッチ10A, 10C, 10F, 10Hはオンで、スイッチ10B, 10D, 10E, 10Gはオフである。ゆえにPLLロック電圧 $V_{\text{ent}} = V_{\text{cp}}$ がGNDに近いとき、トランジスタMN1, MP2はオンで、MN2, MP1はオフである。その結果として、ノード2Aは電流 I_{pu2} によって充電され、電流 I_{pd1} によって放電される。図3において、 I_{pu2} は $GND \leq V_{\text{cp}} \leq V_{\text{cp-}}$ の場合に I_{pd1} より明らかに大きい。この領域でロックするPLLは大きい定常状態位相誤差を持つけれども、この誤差は従来の場合よりも小さい。何故ならば、電流 I_{pu1} に対立するものとしての電流 I_{pu2} が I_{pd1} と比較されるからである。 $V_{\text{cp-}} < V_{\text{cp}} < V_{\text{ref1}}$ の場合、 I_{pd1} と I_{pu2} はほぼ等しい。その結果としてこの領域では、定常状態位相誤差が小さい。

【0033】 $V_{\text{ref1}} \leq V_{\text{cp}} \leq V_{\text{ref2}}$ のとき、両方のシュミットトリガ回路の出力は“低”(A=B=“0”)である。この場合において、スイッチ10B, 10C, 10E, 10Hはオンし、スイッチ10A, 10D, 10F, 10Gはオフである。それゆえにPLLロック電圧 $V_{\text{ent}} = V_{\text{cp}}$ がVDD/2のまわりに集中されているとき、トランジスタMN1, MP1はオンし、MP2, MN2はオフする。その結果として、ノード2Aは電流 I_{pu1} によって充電され、電流 I_{pd1} によって放電される。図3のこの領域において、 I_{pu1} と I_{pd1} はほぼ等しく、それゆえに、定常状態位相誤差は小さい。

【0034】 $V_{\text{cp}} > V_{\text{ref2}}$ のとき、第1のシュミットトリガ回路の出力は“低”(B=“0”)で、第2のシュミットトリガ回路の出力は“高”(A=“1”)である。この場合において、スイッチ10B, 10D, 10E, 10Gはオンで、スイッチ10A, 10C, 10F, 10Hはオフである。それゆえにPLLロック電圧 $V_{\text{ent}} = V_{\text{cp}}$ がVDDに近いとき、トランジスタMP1, MN2はオンで、MN1, MP2はオフである。その結果として、ノード2Aは電流 I_{pu1} によって充電され、電流 I_{pd2} によって放電される。 $V_{\text{ref2}} \leq V_{\text{cp}} \leq V_{\text{cp+}}$ の場合、 I_{pu1} と I_{pd2} はほぼ等しい。それゆえにこの領域において、定常状態位相誤差は小さい。 $V_{\text{cp+}} \leq V_{\text{cp}} \leq VDD$ の場合、 I_{pd2} は I_{pd1} より明らかに大きい。この領域でロックするPLLは大きい定常状態位相誤差を持つけれども、この誤差は従来の場合におけるものよりも小さい。何故ならば、電流 I_{pd1} に対立するものとしての電流 I_{pd2} は I_{pu1} と比較されるからである。図3における $V_{\text{cp-}} \leq V_{\text{cp}} \leq V_{\text{cp+}}$ はPLLが小さい定常状態位相誤差を達成することができるロック電圧の範囲を表している。本発明の範囲を逸脱しない範囲内で、当業者によって、図3に示されるよりもより広い範囲で小さい定常状態位相誤差を達成するPLL回路を容易に達成

することは明らかだろう(図8を参照)。

【0035】図4は本発明の原理による位相同期ループ回路の他の実施例を示す。この実施例は、第1のチャージポンプ回路内のポンプトランジスタがすべての時間でオンしていることが、図2のものから異なっている。シュミットトリガ回路ブロックの出力に依存して、第2のチャージポンプ回路内の2つのポンプトランジスタの一方がオンして、第1のチャージポンプ回路内のMOSTランジスタ間のバランスを改善している。PLLロック電圧がGNDに近いとき、第2のチャージポンプ回路内のNMOSポンプDOWNトランジスタはオンされる。同様に、PLLロック電圧がVDDに近いとき、第2のチャージポンプ回路内のPMOSポンプトランジスタがオンされる。それゆえ、この実施例はポンプ回路を減らすことなく、小さい定常状態位相誤差を達成する。対照的に、図2に示された実施の形態は、ポンプ回路を減らすことによって小さい定常状態位相誤差を達成する。

【0036】図5は本発明の原理による位相同期ループ回路の他の実施例を示す。この実施の形態は、電流源がポンプトランジスタ(NMOSおよびPMOS)のソースとそれらそれぞれの電源(それぞれ、GNDおよびVDD)との間に置かれていることで、図4のものから異なっている。この実施例は、わずかな領域をオーバーヘッドのみで、図4に示された実施例よりもより小さい定常状態位相誤差を達成する。

【0037】図6に示される実施例(図2に示されたものと同じ)は既に詳細に説明した。図7に示される実施例は、電流源がポンプトランジスタ(NMOSおよびPMOS)のソースとそれらそれぞれの電源(それぞれ、GNDおよびVDD)との間に置かれていることで、図6のものから異なっている。この実施例は、わずかな領域をオーバーヘッドのみで、図6に示された実施例よりもより小さい定常状態位相誤差を達成する。

【0038】

【発明の効果】以上説明したように、本発明は、位相同期ループ回路がPLLロック電圧にかかわらず非常に小さい定常状態位相誤差を発生することを保証する。

【図面の簡単な説明】

【図1】本発明の原理に従った位相同期ループ回路を示すブロック図である。

【図2】本発明に従った位相同期ループ回路の好ましい実施例を示すブロック図である。

【図3】図2における実施例に基づく基本的な原理を示す図である。

【図4】本発明の原理に従った位相同期ループ回路の他の実施例を示すブロック図である。

【図5】本発明の原理に従った位相同期ループ回路のもっと他の実施例を示すブロック図である。

【図6】本発明の原理に従った位相同期ループ回路の別の実施例を示すブロック図である。

【図7】本発明の原理に従った位相同期ループ回路のものと別の実施例を示すブロック図である。

【図8】本発明の一般的な原理を図表で示す図である。

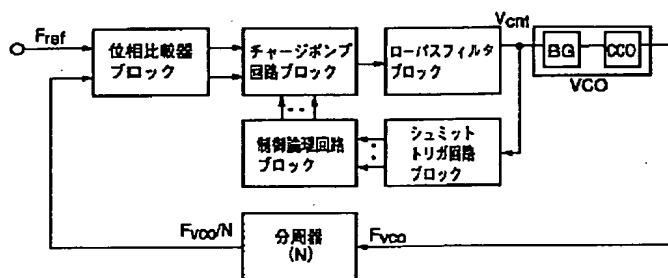
【図9】従来の位相同期ループ回路のブロック図である。

【図10】図9に示された従来の位相同期ループ回路の動作波形を示す図である。

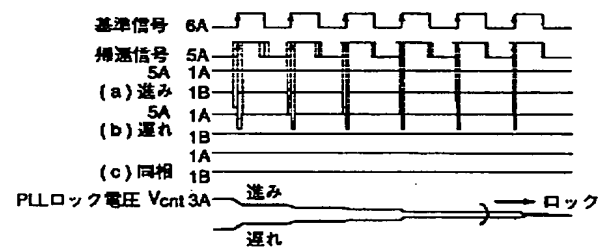
【図11】図9の従来の位相同期ループ回路に使用されるチャージポンプ回路を示す図である。

【図12】何故図9に示す従来の位相同期ループ回路が (PLLロック電圧に依存して) 大きい定常状態位相誤

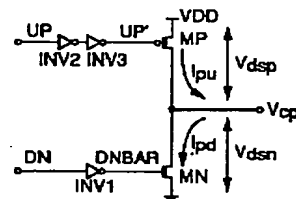
【図1】



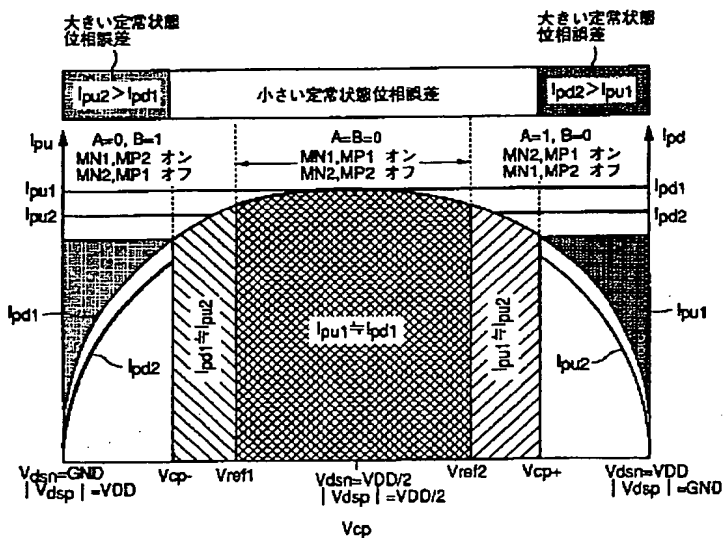
【図10】



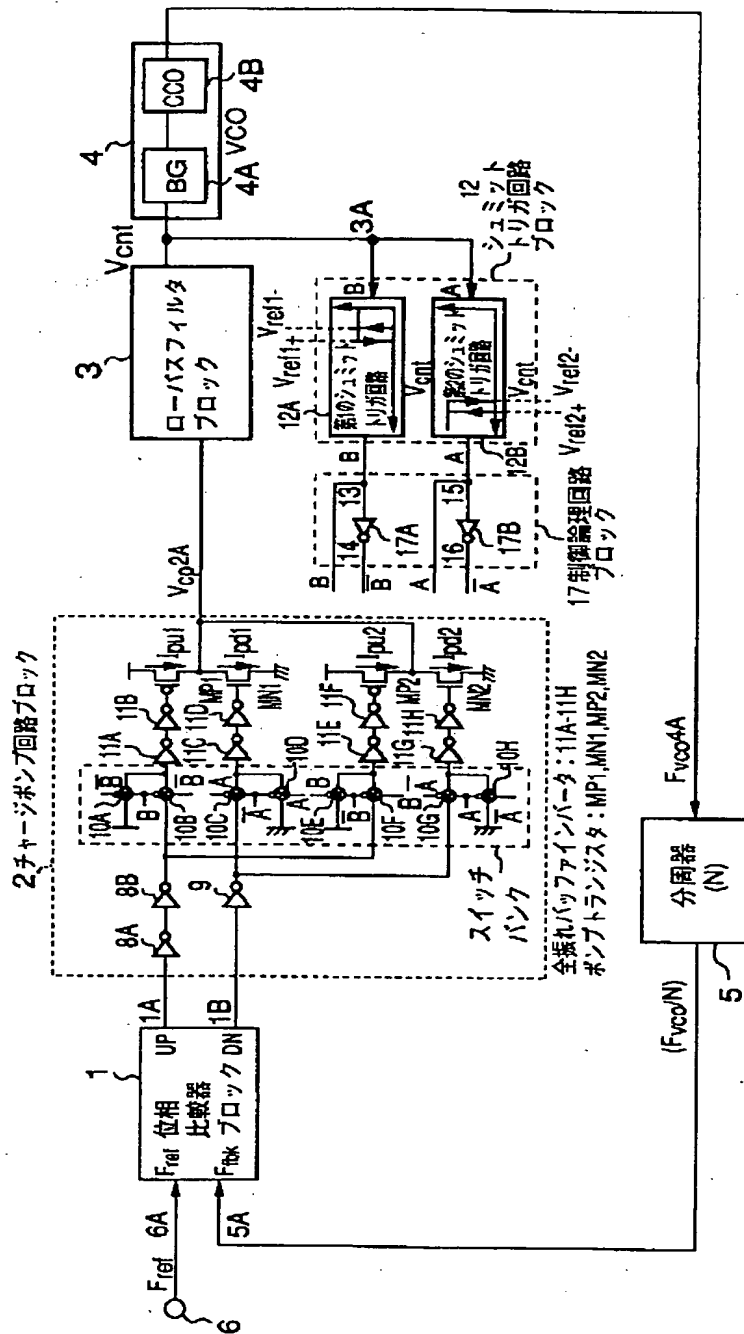
【図11】



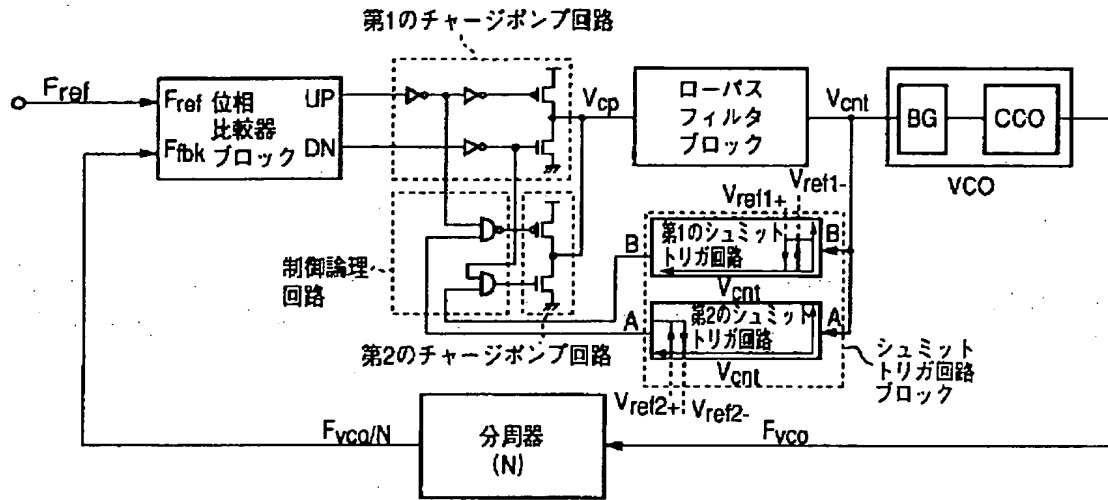
【図3】



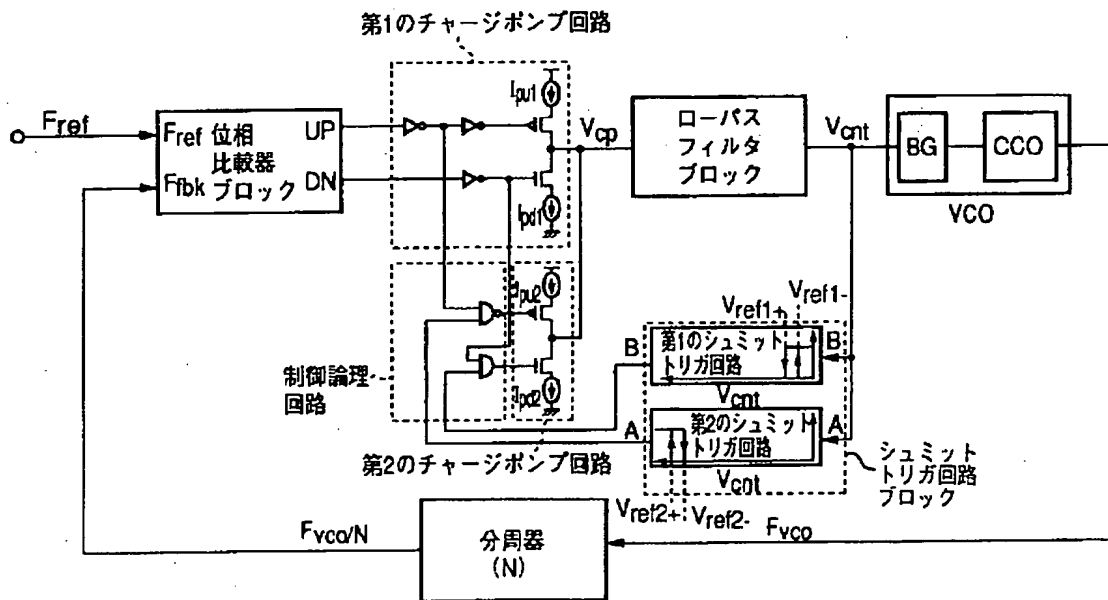
【図2】



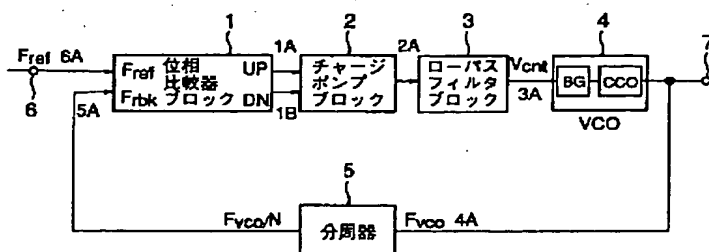
【図 4】



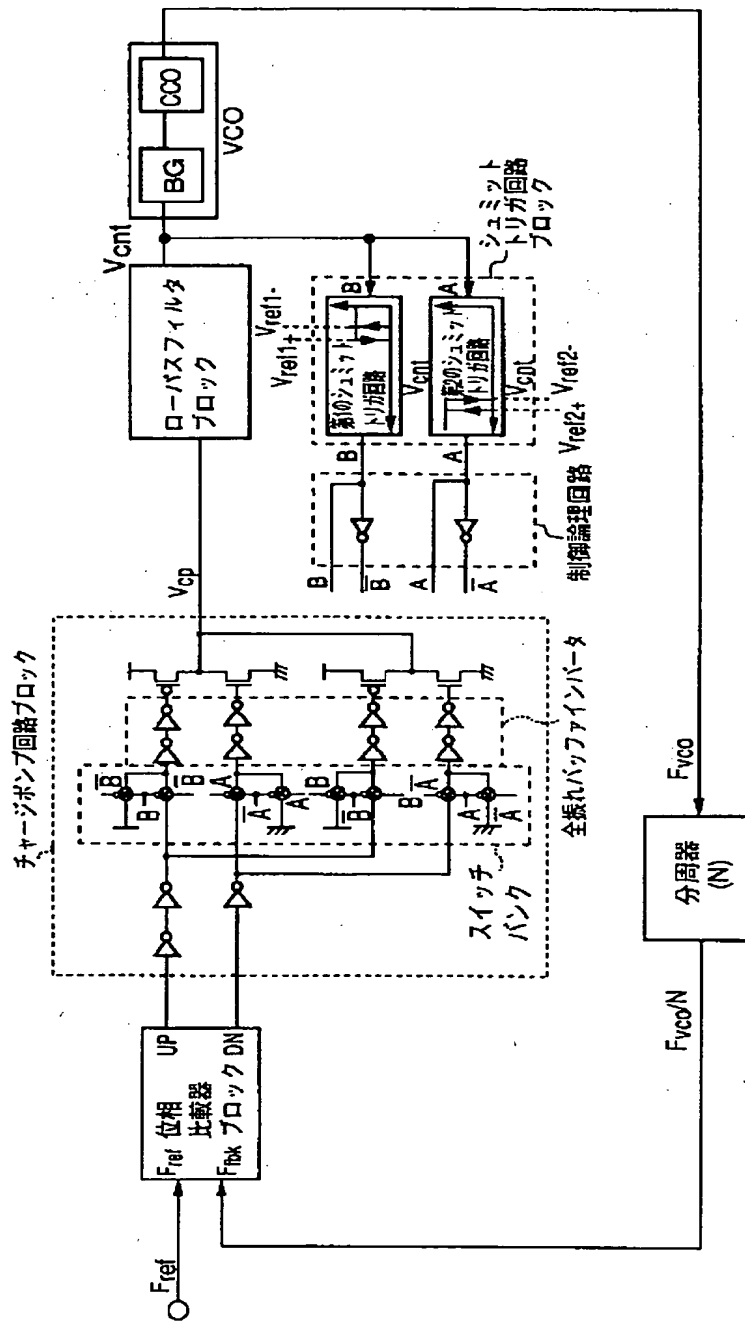
【図 5】



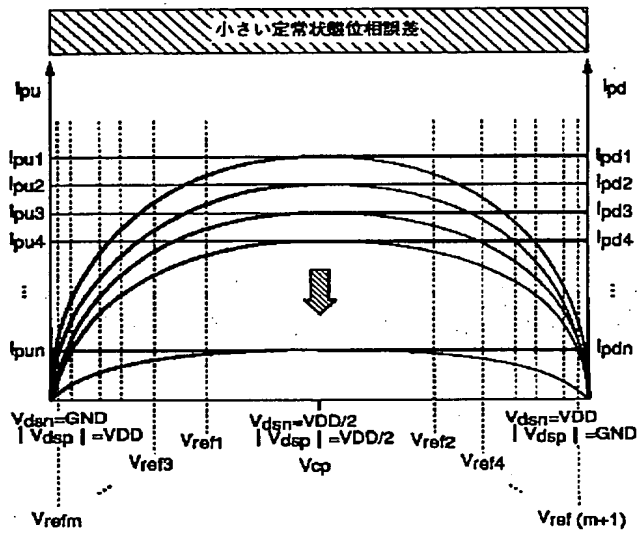
【図 9】



【図6】



【図 8】



【図 12】

